

СУРАЙКИН А. И., КУДРЯШОВ А. Д., ЛАБУТИН М. С., СУРАЙКИН А. А.
СХЕМОТЕХНИЧЕСКИЙ СИНТЕЗ И МОДЕЛИРОВАНИЕ
БЛОКА ПОТЕНЦИАЛЬНОЙ ЗАЩИТЫ ВЫХОДНОГО КАСКАДА
МИКРОСХЕМЫ УПРАВЛЕНИЯ МОЩНЫМ МОП-ТРАНЗИСТОРОМ

Аннотация. Описаны результаты синтеза и моделирования цепи потенциальной защиты выходного каскада в микросхеме управления мощным МОП-транзистором. Предлагается схемотехническое решение для разработки микросхемы-драйвера на основе биполярной технологии с ВИД-процессом.

Ключевые слова: цепь защиты, схема управления, выходной каскад, микросхема-драйвер, ВИД-процесс.

SURAYKIN A. I., KUDRYASHOV A. D., LABUTIN M. S., SURAYKIN A. A.
CURCUIT ENGINEERING DESIGN AND SIMULATION
OF POTENTIAL PROTECTION BLOCK
OF THE OUTPUT BUFFER OF POWER MOSFET CONTROL IC

Abstract. The article describes the results of the developing and simulation of the potentialprotection of the output buffer circuits in the control integrated circuits of a power MOSFET. The circuit design solution is proposed for the development of an IC driver based on a bipolar VID process technology.

Keywords: protection circuits, control circuit, output buffer, IC driver, VID process.

В импульсной преобразовательной технике, в устройствах управления исполнительными механизмами, в автомобильной электронике всё более широкое применение находят мощные МОП-транзисторы, работающие в ключевом режиме. Для их управления требуются специальные устройства – «интеллектуальные» ключи, представляющие собой специализированные управляющие микросхемы. Эти ИС должны обладать всеми необходимыми функциями электронного ключа с большим набором защит для реализации максимально эффективного и надежного управления мощными МОП-транзисторами:

- защита от повышенного и пониженного напряжения питания микросхемы;
- защита выходного каскада драйвера от перегрузки;
- токовая защита мощного выходного транзистора (ограничение тока нагрузки);
- температурная защита.

На мировом рынке присутствует множество микросхем-драйверов, предназначенных для управления мощными МОП ПТ [1]. Подавляющее большинство выполнено по КМОП-технологиям (в мире их уже достаточно много). Разработка и изготовление микросхем на основе КМОП-процесса позволяет добиться минимальной потребляемой мощности при приемлемом быстродействии. Вместе с тем, необходимо отметить некоторые недостатки данной технологии. Это, прежде всего, низкая (по сравнению с элементной базой, изготовленной по биполярной технологии) помехоустойчивость и надёжность работы в условиях сильного воздействия электромагнитных помех, высокая чувствительность к воздействию статических потенциалов (особенно в зимний период). Учитывая всё вышесказанное, отметим, что применение биполярных технологий для разработки элементной базы схем управления МОП-транзисторами также является актуальной задачей. Разработка и применение таких микросхем-драйверов будет являться своеобразным компромиссом между устойчивостью работы в критических условиях и потребляемой мощностью.

Из достаточного большого набора вариантов эпитаксиально-планарных биполярных технологий наибольший интерес представляет процесс с применением вертикальной изолирующей диффузии (ВИД-процесс). Этот процесс позволяет наряду с традиционными вертикальными $n-p-n$ транзисторами (дрейфовыми) изготавливать вертикальные $p-n-p$ транзисторы (диффузионные). Такое решение позволяет добиться требуемого быстродействия управляющей схемы. На рисунке 1 представлена структура $n-p-n$ - и $p-n-p$ -транзисторов, выполненных на основе биполярного ВИД-процесса.

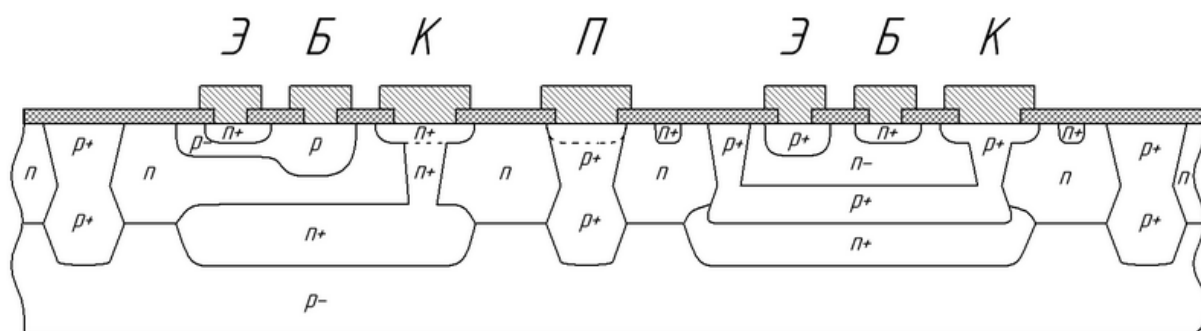


Рис. 1. Структура $n-p-n$ - и $p-n-p$ -транзисторов, выполненных на основе биполярного ВИД-процесса.

Функциональная схема разрабатываемого устройства представлена на рисунке 2. В нашем устройстве присутствует цепь защиты от пониженного напряжения питания

Алгоритм работы и компьютерное моделирование.

3

силового МОП ПТ), сформированного внутри управляющей микросхемы. Функциональная схема этого блока представлена на рисунке. 3.

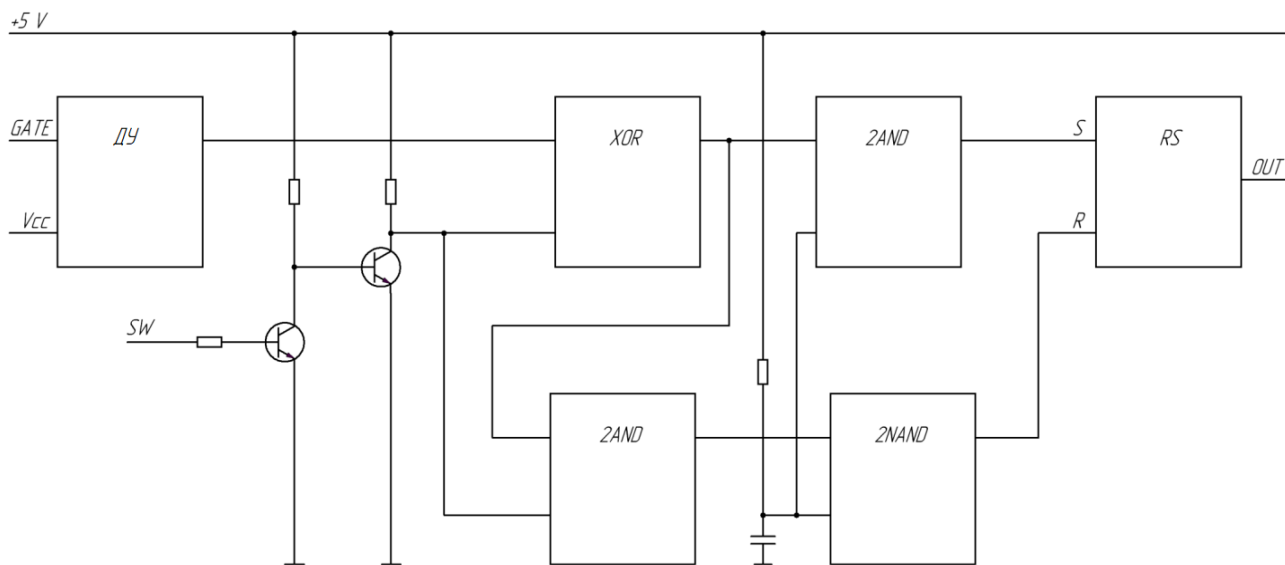


Рис. 3. Функциональная схема цепи потенциальной защиты выходного каскада от перегрузки.

Суть работы данной электронной схемы защиты заключается в том, что компаратор отслеживает уровень напряжения на управляющем выходе микросхемы и сравнивает его с напряжением питания. При понижении выходного напряжения ниже определённой величины (устанавливается в технических требованиях на микросхему) компаратор переключается, и на выходе RS-триггера устанавливается высокий уровень – логическая «1». То есть, защита срабатывает, и выходной каскад микросхемы отключается. Если в следующий такт перегрузка отсутствует, RS-триггер переключается в исходное состояние («сброс»), и выходной каскад микросхемы возобновляет нормальную работу. Принципиальная схема имитационной модели данного блока для САПР TINA-TI [2] представлена на рисунке. 4.

На рисунке 5 представлены временные диаграммы работы данного блока защиты при отсутствии перегрузки выходного каскада драйвера, т.е. с выхода драйвера на вход дифференциального усилителя (Вх. ДУ) поступает напряжение выше минимально допустимого (опорного). Уровень опорного напряжения изображен на графике пунктирной линией.

На рисунке 6 представлены временные диаграммы работы данного блока защиты в режиме перегрузки выходного каскада драйвера, т.е. с выхода драйвера на вход

дифференциального усилителя поступает напряжение ниже минимально допустимого (опорного). Уровень опорного напряжения изображен на графике пунктирной линией.

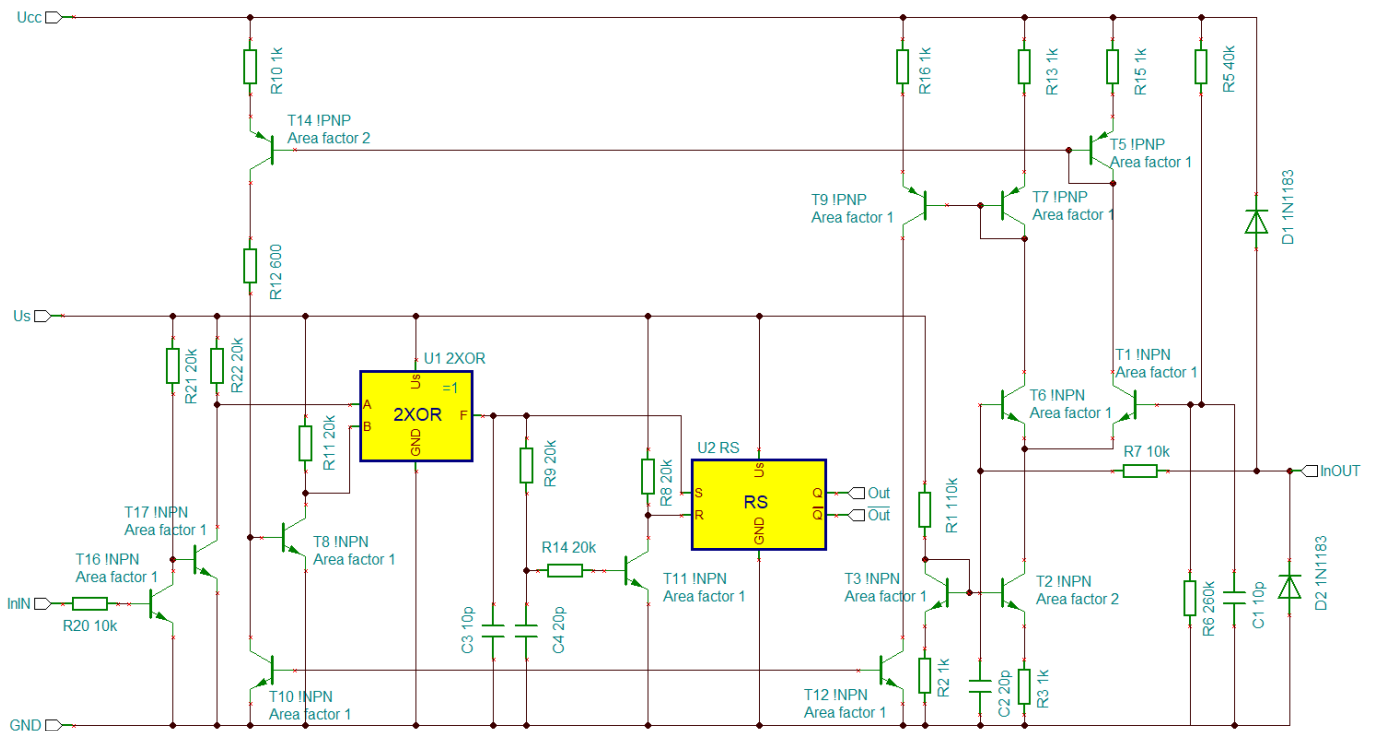


Рис. 4. Принципиальная схема блока потенциальной защиты
выходного каскада от перегрузки в САПР TINA-TI.

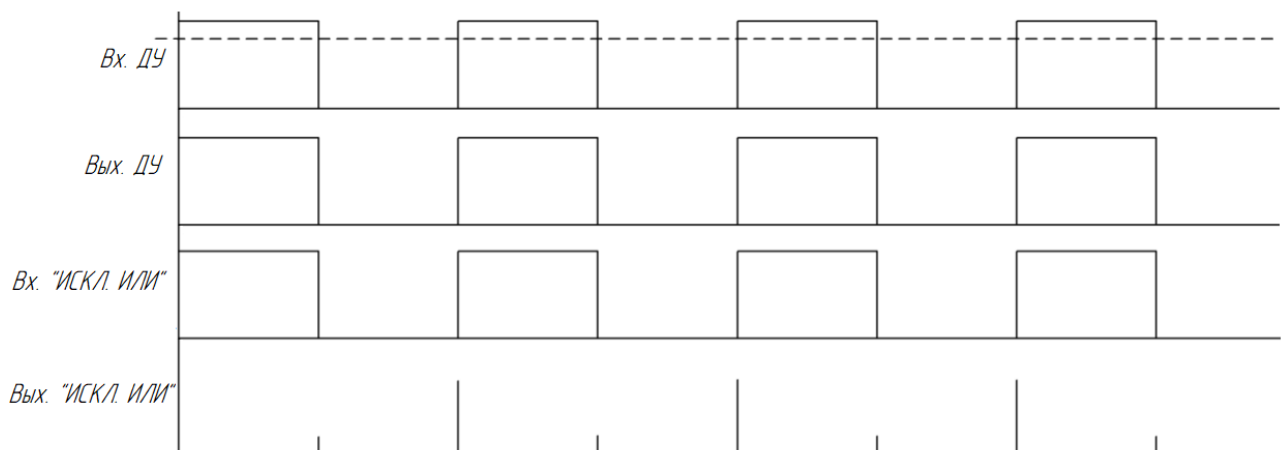


Рис. 5. Временные диаграммы работы блока при отсутствии перегрузки
выходного каскада.

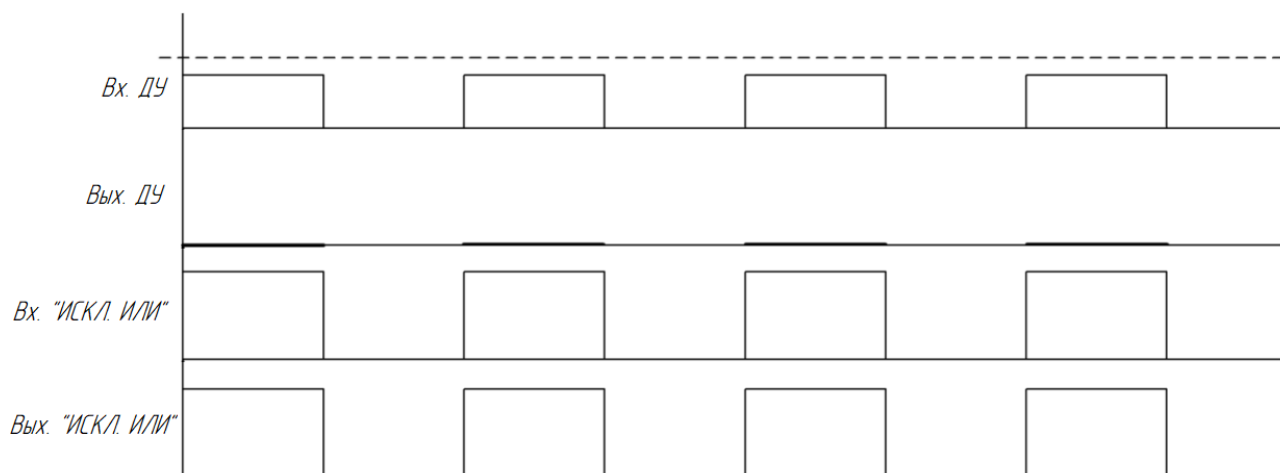


Рис. 6. Временные диаграммы работы блока при перегрузке выходного каскада.

Необходимо отметить важную особенность работы блока потенциальной защиты в составе управляющей ИС. Эта особенность обусловлена тем, что практически все управляющие микросхемы подобного класса, включая устройства «интеллектуальных» ключей работают как в стационарном, так и в импульсном режимах [3]. То есть выходные каскады управляющих микросхем периодически переходят из включенного состояния (состояния с высоким уровнем напряжения) в выключенное состояние (состояние с низким уровнем напряжения). Если не учесть этого в алгоритме работы блока защиты, то тогда при переходе выходного напряжения в состояние низкого уровня, произойдёт ложное включение блока потенциальной защиты, и микросхема будет находиться в выключенном состоянии до тех пор, пока не будет снято напряжение питания (все схемы потенциальной защиты работают по принципу «защёлки»).

Для того, чтобы избежать вышеуказанного недостатка необходимо так организовать алгоритм работы блока потенциальной защиты, чтобы он работал не непрерывно, а лишь в те периоды, когда выходной каскад управляющей микросхемы находится во включенном состоянии. При переходе выходного каскада в состояние с низким уровнем, блок защиты должен отключиться, а при включении выходного каскада управляющей микросхемы – включиться вновь. Таким образом, работу блока потенциальной защиты необходимо жёстко синхронизировать с работой выходного каскада управляющей ИС. Для этого, в блоке защиты установлен логический элемент «исключающее ИЛИ» – 2XOR (рис. 3, 4). Этот элемент, в совокупности с другими логическими элементами, RS-триггером и вспомогательными цепями синхронизирует работу блока потенциальной защиты с работой выходного каскада управляющей микросхемы.

СПИСОК ЛИТЕРАТУРЫ

1. Техническая инф. по ИС IR2121 [Электронный ресурс]. – Режим доступа: <https://www.irf.com/IR2121> (дата обращения: 11.09.2022).
2. Техническая инф. по САПР TINA-TI [Электронный ресурс]. – Режим доступа: <https://www.ti.com/tool/TINA-TI> (дата обращения: 10.09.2022).
3. Сурайкин А. И., Сурайкин А. А., Кудряшов А. Д., Лабутин М. С. Экономичный импульсный источник питания универсального применения // Радиоэлектронная техника. Межвузовский сборник научных трудов / ФГБОУ ВО «Ульяновский государственный Технический университет»; Ульяновский филиал Института радиотехники электроники им. В. А. Котельникова Российской Академии наук. – Ульяновск, 2021. – С. 26–32.